



Universidad Nacional Mayor de San Marcos

Universidad del Perú. Decana de América

Facultad de Ingeniería Electrónica y Eléctrica

Unidad de Posgrado

Procesador segmentado para fines académicos usando

HDL

TESIS

Para optar el Grado Académico de Magíster en Microelectrónica

AUTOR

Héctor Gustavo ROSELLÓ MORENO

Lima, Perú

2016

RESUMEN

En este documento se desarrolla el diseño de un procesador segmentado que ayudara a los estudiantes en el aprendizaje del desempeño de este tipo de procesadores, principalmente cuando se presentan conflictos con relación a la secuencia de instrucciones utilizada y sus dependencias. Para ello se utilizaran técnicas hardware, tales como el adelantamiento de datos, inserción de burbujas, y anticipación de riesgos. Estos métodos se aplican para la arquitectura MIPS que consta de una segmentación de 5 etapas y cumple con las características de la arquitectura ISA tipo RISC empleada ampliamente en la temática de “Arquitectura de Computadoras”..

El método empleado es desarrollar cada vez una nueva versión del procesador adaptado para solucionar el nuevo paradigma mostrando la mejora en su desempeño luego de hacerlo, así tendremos una versión que muestra la solución por riesgos de dependencia de datos. Otra versión del procesador para el caso en que una instrucción dependa del dato de una instrucción de carga, para finalmente realizar una última versión que solucione las dependencias debido a las bifurcaciones, que vienen a ser las más características y que presenta dificultad de asimilar en esta parte de la temática, tanto por la poca afición a la lectura del estudiantado como a la baja comprensión lectora que se tiene. El proceso de ver los eventos y simularlos más que solo verlos estáticamente permitirá una mejor y rápida comprensión de estos fenómenos así como su interacción al modificar los programas y el hardware del procesador respectivo.

Palabras claves: riesgos, RISC, instrucción, segmentación, ISA

ABSTRACT

This document develops the design of a pipelined processor which will assist students in the learning of how is the performance of this kind of processors when conflicts in relation to the sequence of instructions used and its dependencies arise. This will be utilized hardware techniques, such as the data forwarding, bubbles, and hazards detection. These methods applies to the MIPS architecture which consists of a 5-stage pipelined and complies with the characteristics of the ISA type RISC architecture used widely on the subjects of "Computer architecture".

The method used is to develop every time a new version of the processor adapted to solve the new paradigm showing the performance to do so, then we will have a version that shows the solution for its data dependency. Another version of the processor for the case in which a statement depend on the data of a load instruction, to finally make a latest version which fix the dependencies due to branches, coming to be the feature more difficult to assimilate into this part of the subject, not only due to the abstracts concept involved to understand, but for their little fondness for reading of the students as well as a low reading comprehension that is shown by them. The process of events and simulate rather than only seeing them statically in the paper, the use of programs like assemblers or simulators only give them experience in software but does not improve the skill on hardware design that is the goal, allowing a better and fast understanding of these phenomena as well as to modify programs and respective processor hardware.

Key words: hazards, RISC, instruction, pipeline, ISA.